

SEARCH | SEARCH | INDEX | ALPHABET

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-272090

(43)Date of publication of application : 03.12.1991

(51)Int.Cl. G11C 11/409

(21)Application number : 02-069681 (71)Applicant : OKI ELECTRIC IND CO LTD

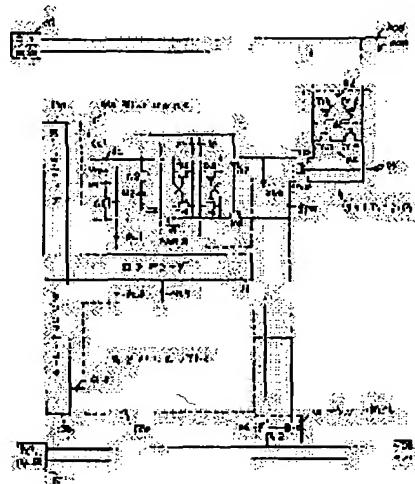
(22)Date of filing : 22.03.1990 (72)Inventor : SEKINO YOSHIMASA
MURASHIMA YOSHIHIRO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To reduce the pattern area and to improve the degree of integration by providing one set of sub-data bus, read amplifying circuit and write buffer circuit in common to plural memory arrays.

CONSTITUTION: A second memory cell array 12b consists of the same constitution as a first memory cell array 12a constituted of transistors TR1 – TR8 and capacitors M1, M2, an output line CL2 in output lines of a second column decoder 13b is connected, and output signal lines WL3, WL4 in output signal lines of a row decoder 11 are connected. However, as for a sub-data bus, sub-data buses SDB, –SDB being common to a first memory cell array 12a are connected to a second memory cell array 12b. Accordingly, this second memory cell array 12b is connected to a read amplifying circuit 15 and a write buffer circuit 14, as well being common to a first memory cell array 12a through these common sub-data buses SDB, –SDB. In such a way, the pattern area is reduced, and the high integration can be contrived.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

⑪ 公開特許公報 (A) 平3-272090

⑫ Int. Cl.³
G 11 C 11/409

識別記号

府内整理番号

⑬ 公開 平成3年(1991)12月3日

8526-5L G 11 C 11/34 354 A

審査請求 未請求 請求項の数 2 (全8頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特願平2-69681

⑯ 出願平2(1990)3月22日

⑰ 発明者 関野芳正 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑱ 発明者 村島良宏 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑲ 出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑳ 代理人 弁理士 菊池弘

明細書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) コラムデコーダおよびロウデコーダにより制御される複数のメモリセルアレイを有し、そのメモリセルアレイのデータ入出力部がサブデータバスおよびリードアンプ回路を介してリードデータバスに接続される一方、ライトデータバスがライトバッファ回路および前記サブデータバスを介して前記メモリセルアレイのデータ入出力部に接続される半導体記憶装置において、

サブデータバス、リードアンプ回路およびライトバッファ回路は、複数のメモリセルアレイに対して共通に一組設けたことを特徴とする半導体記憶装置。

(2) 半導体集積回路化する場合に、2層アルミ配線を用い、1つの層のアルミ配線でロウデコーダ内の信号線とサブデータバスの一部を形成し、他の層のアルミ配線でサブデータバスの残り部分を

形成することを特徴とする請求項(1)記載の半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体記憶装置に関し、詳しくは、ダイナミック型ランダムアクセスメモリのサブデータバス、リードアンプ回路およびライトバッファ回路に関するものである。

(従来の技術)

従来の半導体記憶装置の回路図を第3図に示す。この図において、ロウデコーダ11の出力信号線(ワード線)のうち、出力信号線WL1, WL2は、第1メモリセルアレイ12a内の一対のトランジスタ・キャパシタ型セルのそれぞれのトランスマッピングとしてのNチャンネルトランジスタTr1, Tr2のゲートに接続される。トランジスタTr1のソース・ドレインの一方はピット線BLに接続され、ソース・ドレインの他方はメモリセルキャパシタM1に接続される。さらにキャパシタM1のもう一方の端子は固定電位Vcpに接

続される。トランジスタ Tr2 のソース・ドレインの一方はビット線 BL に、他方はメモリセルキナバシタ M2 に接続される。さらにキャバシタ M2 のもう一方の端子は固定電位 Vcp に接続される。N チャンネルトランジスタ Tr3 および P チャンネルトランジスタ Tr5 のゲートはそれぞれビット線 BL に接続され、ドレインはそれぞれビット線 BL に接続され、トランジスタ Tr3 のソースはセンス用電源 A1 に、トランジスタ Tr5 のソースはセンス用電源 B1 に接続される。N チャンネルトランジスタ Tr4 および P チャンネルトランジスタ Tr6 のゲートは共にビット線 BL に、ドレインは共にビット線 BL に接続され、トランジスタ Tr4 のソースはセンス用電源 A1 に、トランジスタ Tr6 のソースはセンス用電源 B1 に接続される。第1コラムデコーダ 13a の出力線のうち出力線 CL1 の1本は N チャンネルトランジスタ Tr7, Tr8 のゲートに共に接続され、トランジスタ Tr7 のソース・ドレインの一方はビット線 BL に、他方はサブデータバス SDB1 に接

続される。トランジスタ TrB のソース・ドレインの一方はビット線 BL に、他方はサブデータバス SDB1 に接続される。サブデータバス SDB1, SDB1 は、それぞれ第1ライトバッファ回路 14a 内の N チャンネルトランジスタ Tr9, Tr10 のドレイン・ソースの一方に接続され、このトランジスタ Tr9, Tr10 のゲートは共にデータバス選択信号線 DS1 に接続され、同トランジスタ Tr9, Tr10 のドレイン・ソースの他方はそれぞれライトデータバス WDB1, WDB1 に接続される。また、サブデータバス SDB1, SDB1 は、第1リードアンプ回路 15a 内の N チャンネルトランジスタ Tr15, Tr16 のドレイン・ソースの一方に接続され、このトランジスタ Tr15, Tr16 のゲートは共にリードアンプ選択信号線 RDB1 に接続され、同トランジスタ Tr15, Tr16 のドレイン・ソースの他方はそれぞれリードデータバス RDB1, RDB1 に接続される。また、第1リードアンプ回路 15a 内の P チャンネルトランジスタ Tr11

と N チャンネルトランジスタ Tr13 のゲートは共にリードデータバス RDB1 に、トランジスタ Tr11 および Tr13 のドレインは共にリードデータバス RDB1 に接続され、トランジスタ Tr13 のソースはセンス用電源 A2 に、トランジスタ Tr11 のソースはセンス用電源 B2 に接続される。また、第1リードアンプ回路 15a 内の P チャンネルトランジスタ Tr12 と N チャンネルトランジスタ Tr14 はドレインが共にリードデータバス RDB1 に接続され、ゲートは共にリードデータバス RDB1 に接続される。さらにトランジスタ Tr12 のソースは前記センス用電源 B2 に、トランジスタ Tr14 のソースは前記センス用電源 A2 に接続される。

第2メモリセルアレイ 12b は、トランジスタ Tr1～Tr8 とキャバシタ M1, M2 から構成される第1メモリセルアレイ 12a と同じ構成であり、ただし、出力線 CL1 の代りに第2コラムデコーダ 13b の出力線のうち出力線 CL2 が接続され、出力信号線 WL1, WL2 の代りにロウデ

コーダ 11 の出力信号線のうち出力信号線 WL3, WL4 が接続される。

第2ライトバッファ回路 14b は、トランジスタ Tr9, Tr10 から構成される第1ライトバッファ回路 14a と同じ構成であり、ただし、サブデータバス SDB1, SDB1 の代りにそれぞれサブデータバス SDB2, SDB2 が接続され、ライトデータバス WDB1, WDB1 の代りにそれぞれライトデータバス WDB2, WDB2 が、また、データバス選択信号線 DS1 の代りにデータバス選択信号線 DS2 が接続される。

第2リードアンプ回路 15b は、トランジスタ Tr11～Tr16 から構成される第1リードアンプ回路 15a と同じ構成であり、ただし、リードアンプ選択信号線 RDB1 の代りにリードアンプ選択信号線 RDB2 が、サブデータバス SDB1, SDB1 の代りにそれぞれサブデータバス SDB2, SDB2 が、リードデータバス RDB1, RDB1 の代りにそれぞれリードデータバス RDB2, RDB2 が接続される。

また、リードデータバス RDB1, RDB1, RDB2, RDB2は、リードデータバス RDB1 と RDB1を一对、リードデータバス RDB2 と RDB2を一对として、出力バッファ回路 16 に接続される。また、ライトデータバス WDB1, WDB1, WDB2, WDB2は、ライトデータバス WDB1 と WDB1を一对、ライトデータバス WDB2 と WDB2を一对として、入力バッファ回路 17 に接続される。

このように構成された装置の動作を説明する。まず、リード時の動作を第4図を用いて説明する。ロウデコーダ 11 により出力信号線 WL1 が選択されたとすると、出力信号線 WL1 は "L" から "H" になり、トランジスタ Tr1 がオンする。キャパシタ M1 に "L" が書き込まれていたとすると、トランジスタ Tr1 のオンにより、キャパシタ M1 とビット線 BL との間で電荷の再分配が行われ、この時、ビット線 BL 上での減少分を ΔV とする。ビット線 BL, BL は初期状態で共に "L" と "H" の中間レベルとして $\frac{1}{2}V_{cc}$ レベルである

とすると、ビット線 BL は ($\frac{1}{2}V_{cc} - \Delta V$) のレベルになる。次に、初期状態で $\frac{1}{2}V_{cc}$ レベルであったセンス用電源 A1, B1 が、センス用電源 A1 は "L" に、センス用電源 B1 は "H" になる。この時、ビット線 BL はビット線 BL より ΔV 分電位が低いため、トランジスタ Tr3 と Tr4 ではトランジスタ Tr4 の方が、またトランジスタ Tr5 と Tr6 ではトランジスタ Tr5 の方が駆動能力が高くなり、ビット線 BL は "H" に、ビット線 BL は "L" になる。次に、第1コラムデコーダ 13 により出力線 CL1 が選択されると、トランジスタ Tr7, Tr8 がオンし、ビット線 BL, BL のデータがサブデータバス SDB1, SDB1 に伝達される。サブデータバス SDB1, SDB1 の初期値を $\frac{1}{2}V_{cc}$ とすると、初期値の $\frac{1}{2}V_{cc}$ からサブデータバス SDB1 は "H" に、逆にサブデータバス SDB1 は "L" になる。リードアンプ選択信号線 RD1が "H" になると、サブデータバス SDB1, SDB1 のデータはリードデータバス RDB1, RDB1 に伝達される。

同様に $\frac{1}{2}V_{cc}$ が初期値であると、リードデータバス RDB1 の方がリードデータバス RDB1 より高電位になる。また、初期状態で $\frac{1}{2}V_{cc}$ レベルであったセンス用電源 A2, B2 が、センス用電源 A2 は "L" に、センス用電源 B2 は "H" になるとすると。すると、トランジスタ Tr13 と Tr14 ではトランジスタ Tr14 の方が、トランジスタ Tr11 と Tr12 ではトランジスタ Tr11 の方が駆動能力が高くなり、最終的にリードデータバス RDB1 は "H" に、リードデータバス RDB1 は "L" になり、出力バッファ回路 16 にデータが伝達される。このようにリードアンプ回路は、ビット線からサブデータバスを介して伝達された電位差を增幅して、高集積化により負荷の重くなったリードデータバスを駆動する働きを持つ。

一方、ライト時は、入力バッファ回路 17 によりデータがライトデータバス WDB1, WDB1 に伝達される。今、この伝達によりライトデータバス WDB1 が "H"、ライトデータバス

WDB1 が "L" になるとすると。データバス選択信号線 DS1が選択されたとすると、データバス選択信号線 DS1 は "L" から "H" になり、第1ライトバッファ回路 14 に内的トランジスタ Tr9, Tr10 がオンし、ライトデータバス WDB1, WDB1 のデータがサブデータバス SDB1, SDB1 に伝達される。第1コラムデコーダ 13 により出力線 CL1 が選択され "L" から "H" になると、トランジスタ Tr7, Tr8 がオンし、データがビット線 BL, BL に伝達される。この時、ロウデコーダ 11 により既にワード線は選択され、リード時と同じ動作をすることで、ビット線 BL と BL はどちらか一方が "H"、他方が "L" になっている。ここで、前記のようにサブデータバス SDB1, SDB1 からデータが伝達され、ビット線 BL, BL のデータはサブデータバス SDB1, SDB1 のデータに書きかわり、ライト動作が終了する。このようにライトバッファ回路は、ライトデータバスに接続するうちの一組のサブデータバスを選択し、ライトデータ

タバスからサブデータバスにデータを伝達する動きをする。

(発明が解決しようとする課題)

しかしながら、以上のような従来の半導体記憶装置では、各メモリセルアレイごとにサブデータバスが独立になっているため、サブデータバスご

とリードアンプ回路、ライトバッファ回路が多数必要となる。しかし、リードアンプ回路、ライトバッファ回路は、接続されるメモリセルアレイが選択された時の動作をするため、多數あるリードアンプ回路、ライトバッファ回路のうちの動作上必要なのは1つだけであり、それにも係わら

ず上記のようにリードアンプ回路とライトバッ
フ回路を多數必要とすることは、この半導体記憶
装置を集積回路化した場合に大きなパターン面積
を必要とし、集成度を上げられない原因となる。

この発明は上記の点に鑑みなされたもので、パターン面積を縮小し集成度を上げることのできる半導体記憶装置を提供することを目的とする。

(課題を解決するための手段)

メモリセルアレイごとのサブデータバスを相互に接続する配線部分が必要となるが、2層アルミ配線を用いれば、1層目アルミ配線でロウデコーグ内の信号線とともにメモリセルアレイ毎のサブデータバスを形成し、2層目のアルミ配線でメモリセルアレイ毎のサブデータバスを相互に接続する配線部分を形成することにより、ボリシリコンやボリサイド配線など抵抗値が高くて高速化に不向きな配線材料を用いることなくサブデータバスが共通化される。

(実施例)

以下この発明の一実施例を図面を参照して説明する。第1図はこの発明の一実施例を示す回路図であり、図中第3図と同一部分には第3図と同一符号を付してある。

この第1図において、11はロウデコーグで、その出力信号線(ワード線)のうち、出力信号線WL1、WL2は、第1メモリセルアレイ12内の一対の1トランジスタ・1キャバシタ型セルのそれぞれのトランスマッゲートとしてのNチャ

ンネルトランジスタTr1、Tr2のゲートに接続される。トランジスタTr1のソース・ドレインの一方はビット線BLに接続され、ソース・ドレンの他方はメモリセルキャバシタM1に接続される。さらにキャバシタM1のもう一方の端子は固定電位Vcpに接続される。トランジスタTr2のソース・ドレンの一方はビット線BLに、他方はメモリセルキャバシタM2のもう一方の端子は固定電位Vcpに接続される。NチャンネルトランジスタTr3およびPチャンネルトランジスタTr5のゲートはそれぞれビット線BLに接続され、ドレンはそれぞれビット線BLに接続され、トランジスタTr3のソースはセンス用電源A1に、トランジスタTr5のソースはセンス用電源B1に接続される。NチャンネルトランジスタTr4およびPチャンネルトランジスタTr6のゲートは共にビット線BLに、ドレンは共にビット線BLに接続され、トランジスタTr4のソースはセンス用電源A1に、トランジスタTr6のソースはセンス用電

また、半導体集積回路化する場合に2層アルミ配線を用い、1つの層のアルミ配線で、メモリセルアレイを制御するロウデコーグ内の信号線とサブデータバスの一端を形成し、他の層のアルミ配線でサブデータバスの残り部分を形成するものである。

(作用)

上記この発明においては、サブデータバス、リードアンプ回路およびライトバッファ回路は必要最小限の一組のみとなるので、半導体集積回路化する場合にパターン面積は小さくても、高集成化を図れる。

また、サブデータバスを複数のメモリセルアレイに対して共通化する場合は、第3図の従来のメ

源 B 1 に接続される。第 1 コラムデコーダ 1 3 a の出力線のうち出力線 CL 1 の 1 本は N チャンネルトランジスタ Tr 7, Tr 8 のゲートに共に接続され、トランジスタ Tr 7 のソース・ドレインの一方はビット線 BL に、他方はサブデータバス SDB に接続される。トランジスタ Tr 8 のソース・ドレインの一方はビット線 BL に、他方はサブデータバス SDB, SDB は、それぞれライトバッファ回路 14 内の N チャンネルトランジスタ Tr 9, Tr 10 のドレイン・ソースの一方へ接続され、このトランジスタ Tr 9, Tr 10 のゲートは共にデータバス選択信号線 DS に接続され、同トランジスタ Tr 9, Tr 10 のドレイン・ソースの他方はそれぞれライトデータバス WDB, WDB に接続される。また、サブデータバス SDB, SDB は、リードアンプ回路 15 内の N チャンネルトランジスタ Tr 15, Tr 16 のドレイン・ソースの一方へ接続され、このトランジスタ Tr 15, Tr 16 のゲートは共にリードアンプ選択信号線 RD に接続

され、同トランジスタ Tr 15, Tr 16 のドレン・ソースの他方はそれぞれリードデータバス RDB, RDB に接続される。また、リードアンプ回路 15 内の P チャンネルトランジスタ Tr 11 と N チャンネルトランジスタ Tr 13 のゲートは共にリードデータバス RDB に、トランジスタ Tr 11 および Tr 13 のドレインは共にリードデータバス RDB に接続され、トランジスタ Tr 13 のソースはセンス用電源 A 2 に、トランジスタ Tr 11 のソースはセンス用電源 B 2 に接続される。また、リードアンプ回路 15 内の P チャンネルトランジスタ Tr 12 と N チャンネルトランジスタ Tr 14 はドレインが共にリードデータバス RDB に接続され、ゲートは共にリードデータバス RDB に接続される。さらにトランジスタ Tr 12 のソースは前記センス用電源 B 2 に、トランジスタ Tr 14 のソースは前記センス用電源 A 2 に接続される。

第 2 メモリセルアレイ 1 2 b は、トランジスタ Tr 1 ~ Tr 8 とキャパシタ M 1, M 2 から構成さ

れる第 1 メモリセルアレイ 1 2 a と同じ構成であり、ただし、出力線 CL 1 の代りに第 2 コラムデコーダ 1 3 b の出力線のうち出力線 CL 2 が接続され、出力信号線 WL 1, WL 2 の代りにロウデコーダ 1 1 の出力信号線のうち出力信号線 WL 3, WL 4 が接続される。しかし、サブデータバスに関しては、第 1 メモリセルアレイ 1 2 a と共通のサブデータバス SDB, SDB が第 2 メモリセルアレイ 1 2 b に接続される。したがって、この第 2 メモリセルアレイ 1 2 b は、この共通のサブデータバス SDB, SDB を介して、第 1 メモリセルアレイ 1 2 a と共通のリードアンプ回路 1 5 およびライトバッファ回路 1 4 にも接続されることになる。

また、リードデータバス RDB, RDB は出力バッファ回路 1 6 に、ライトデータバス WDB, WDB は入力バッファ回路 1 7 に接続される。

このように構成された装置の動作を説明する。まず、リード時の動作を第 2 図を用いて説明する。ロウデコーダ 1 1 により出力信号線 WL 1 が選択

されたとすると、出力信号線 WL 1 は "L" から "H" になり、トランジスタ Tr 1 がオンする。キャパシタ M 1 に "L" が書き込まれていたとすると、トランジスタ Tr 1 のオンにより、キャパシタ M 1 とビット線 BL の間で電荷の再配分が行われ、この時、ビット線 BL 上での減少分を ΔV とする。ビット線 BL, BL は初期状態で共に "H" と "L" の中間レベルとして $\frac{1}{2} V_{cc}$ レベルであるとすると、ビット線 BL は $(\frac{1}{2} V_{cc} - \Delta V)$ のレベルとなる。次に、初期状態で $\frac{1}{2} V_{cc}$ レベルであったセンス用電源 A 1, B 1 が、センス用電源 A 1 は "L", センス用電源 B 1 は "H" になり、この時ビット線 BL はビット線 BL より ΔV 分電位が低いため、トランジスタ Tr 3 と Tr 4 ではトランジスタ Tr 4 の方が、トランジスタ Tr 5 と Tr 6 ではトランジスタ Tr 5 の方が駆動能力が高くなり、ビット線 BL は "H" に、ビット線 BL は "L" になる。次に、第 1 コラムデコーダ 1 3 a により出力線 CL 1 が選択されると、トランジスタ Tr 7, Tr 8 がオンし、ビット線 BL,

B Lのデータがサブデータバス SDB, SDBに伝達される。サブデータバス SDB, SDBの初期値を $\frac{1}{2} V_{cc}$ とすると、初期値の $\frac{1}{2} V_{cc}$ からサブデータバス SDB は "H" に、逆にサブデータバス SDB は "L" になる。リードアンプ選択信号線 RD が "H" になると、サブデータバス SDB, SDB のデータはリードデータバス RDB, RDB に伝達される。同様に $\frac{1}{2} V_{cc}$ が初期値であると、リードデータバス RDB の方がリードデータバス RDB より高電位になる。また、初期状態で $\frac{1}{2} V_{cc}$ レベルだったセンス用電源 A2, B2 が、センス用電源 A2 は "L" に、センス用電源 B2 は "H" になるとすると。すると、トランジスタ Tr13 と Tr14 ではトランジスタ Tr14 の方が、トランジスタ Tr11 と Tr12 ではトランジスタ Tr11 の方が駆動能力が高くなり、最終的にリードデータバス RDB は "H" に、リードデータバス RDB は "L" になり、出力バッファ回路 16 にデータが伝達される。

一方、ライト時は、入力バッファ回路 17 によ

このような第 1 メモリセルアレイ 12a のリード・ライト時、第 2 メモリセルアレイ 12b ではサブデータバスは第 1 メモリセルアレイ 12a と共用になっているため動作しているが、出力線 CL2、出力信号線 WL3, WL4 が非選択であるため、第 2 メモリセルアレイ 12b は動作していない。第 2 メモリセルアレイ 12b は、出力信号線 WL3, WL4、出力線 CL2 が選択された時、第 1 メモリセルアレイ 12a と同様に動作する。

さて、DRAM では、高速動作が要求されるため、ロウデコーダにより 1 本のワード線が選択される時間と、ピット線からサブデータバスそしてサブデータバスからリードアンプ回路へデータが転送されてゆく時間をできるだけ短くする必要がある。そのため、各配線は抵抗値の低い材料を用いる必要がある。ところで、第 1 図のようにサブデータバスを第 1, 第 2 メモリセルアレイ 12a, 12b で共通化するには、第 3 図の従来のメモリセルアレイごとのサブデータバスを相互に接続す

りデータがライトデータバス WDB, WDB に伝達される。いま、この伝達によりライトデータバス WDB が "H"、ライトデータバス WDB が "L" になるとすると、データバス選択信号線 DS が選択されたとすると、データバス選択信号線 DS は "L" から "H" になり、ライトバッファ回路 14 内のトランジスタ Tr9, Tr10 がオンし、ライトデータバス WDB, WDB のデータがサブデータバス SDB, SDB に伝達される。第 1 コラムデコーダ 13a により出力線 CL1 が選択され "L" から "H" になると、トランジスタ Tr7, Tr8 がオンし、データがピット線 BL, BL に伝達される。この時、ロウデコーダ 11 により既にワード線は選択され、リード時と同じ動作をすることで、ピット線 BL と BL はどちらか一方が "H" に、他方が "L" になっている。ここで、前記のようにサブデータバス SDB, SDB からデータが伝達され、ピット線 BL, BL のデータはサブデータバス SDB, SDB のデータに書きかわり、ライト動作が終了する。

る配線部分が必要となるが、1 層 AL 配線プロセスでは、ロウデコーダ内の信号線とメモリセルアレイごとのサブデータバスに AL 配線を使用すると、メモリセルアレイごとのサブデータバスを相互に接続する配線部分には抵抗値の高いポリシリコンもしくはポリサイド配線材料を用いなければならず、高速化を阻害することになる。

そこで、この発明の一実施例では、2 層 AL 配線を使用する。そして、1 層目 AL 配線でロウデコーダ 11 内の信号線と共にサブデータバス SDB, SDB の一部（第 3 図のメモリセルアレイ毎のサブデータバスに対応する部分）を形成し、2 層目 AL 配線でサブデータバス SDB, SDB の残り部分（第 3 図のメモリセルアレイ毎のサブデータバスを相互に接続する部分）を形成する。このようにすることにより、高抵抗を付加することなく、高速動作化を図ることなく、第 1, 第 2 メモリセルアレイ 12a, 12b でサブデータバスを共通化できる。

（発明の効果）

以上詳細に説明したように、この発明の半導体記憶装置によれば、複数のメモリセルアレイでサブデータバス、リードアンプ回路、ライトバッファ回路を共用しているので、これらサブデータバス、リードアンプ回路およびライトバッファ回路の数を必要最小限の一組とすることができます。半導体集積回路化する場合にパターン面積を縮小することができ、高集積化を図ることができます。また、半導体集積回路化する場合に2層アルミ配線を用いるようにしたので、高抵抗を付加することなく、高速動作を容することなくサブデータバスを複数のメモリセルアレイで共通化できる。

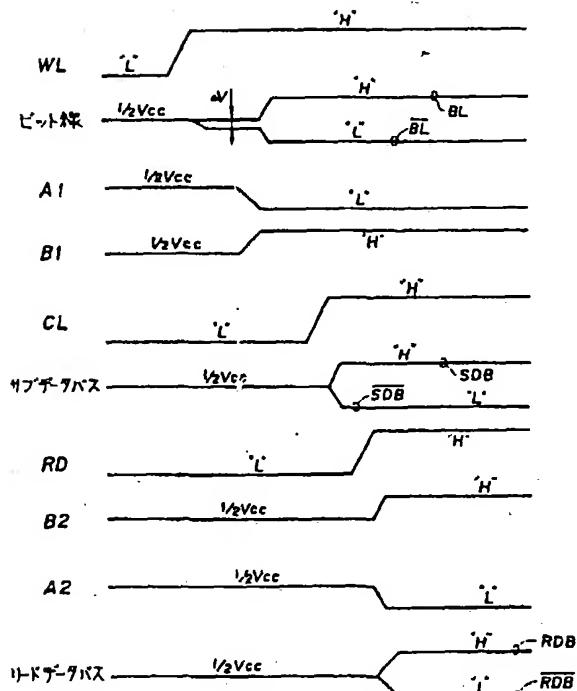
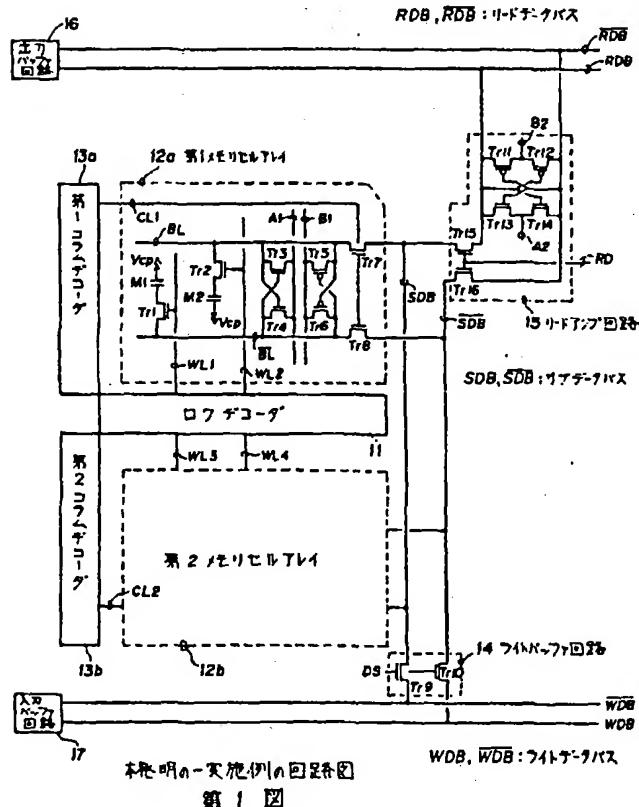
4. 図面の簡単な説明

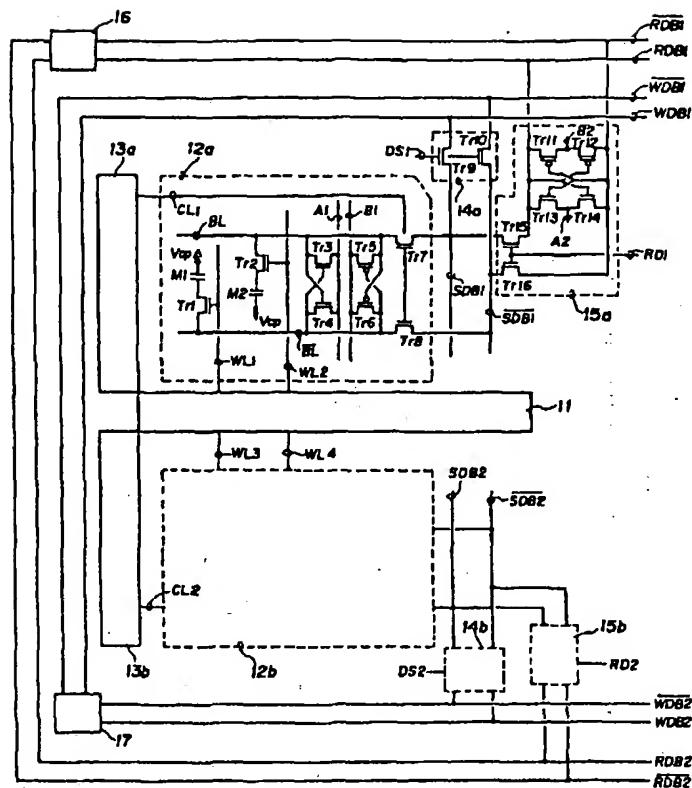
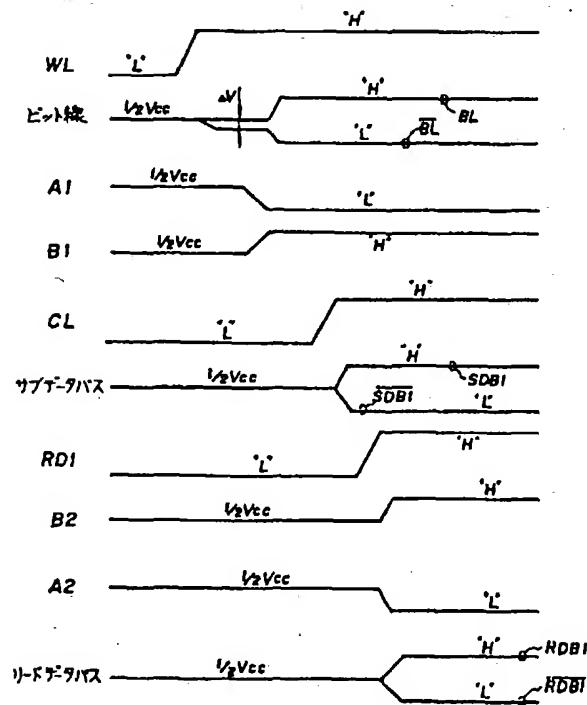
第1図はこの発明の半導体記憶装置の一実施例を示す回路図、第2図は第1図の装置の特にリード時の動作を示す波形図、第3図は従来の半導体記憶装置の回路図、第4図は第3図の装置の特にリード時の動作を示す波形図である。

11…ロウデコーダ、12a…第1メモリセルアレイ、12b…第2メモリセルアレイ、13a

…第1コラムデコーダ、13b…第2コラムデコーダ、SDB、SDB…サブデータバス、14…ライトバッファ回路、15…リードアンプ回路、RDB、RDB…リードデータバス、WDB、WDB…ライトデータバス。

特許出願人 沖電気工業株式会社
代理人 夫理士 菊池 弘



従来の回路図
第3図

従来例の動作波形図 (リード時)

第4図